

HG-CPEIS

处理器外围扩展接口标准 V1.0

北京星源北斗导航技术有限责任公司

2012 年 3 月 3 日

表 A 文档信息表

Item	Context
Author	hg
Last Update	2012-3-3
Version	1.0
Copyright(c)	北京星源北斗导航技术有限责任公司
密级	公开

更多详细信息请致电星源北斗咨询!

公司地址：北京市海淀区海淀中街 16 号中关村公馆 B 座 802 室

电话及传真：82484062

QQ: 5024141

邮箱：liuwsat@yahoo.com.cn

管脚名称	管脚描述
+5V	底板 5V 电源滤波后的输出
+3.3V	底板通过 3.3V 线性整流器用滤波后的输出
GND	底板数字地
CLK0/CLK1 CLK2/CLK3	FPGA 接口板射频输入，某些产品中 CLK0 和 CLK1 为一对差分时钟。
GA0~22 GB0~31 GC0~22	78 个 IO 脚，一般引出处理器总线接口，剩余管脚用于自定义用途。

3 接口机械尺寸

